



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11284195 A**(43) Date of publication of application: **15 . 10 . 99**

(51) Int. Cl.

**H01L 29/786**  
**H01L 21/336**  
**G02F 1/136**  
**H01L 21/3205**

(21) Application number: **10086292**(22) Date of filing: **31 . 03 . 98**(71) Applicant: **MITSUBISHI ELECTRIC  
CORP. ADVANCED DISPLAY INC**

(72) Inventor: **SAKATA KAZUYUKI  
INOUE KAZUNORI  
TAKEGUCHI TORU  
NAKAMURA NOBUHIRO  
YAMADA MASARU**

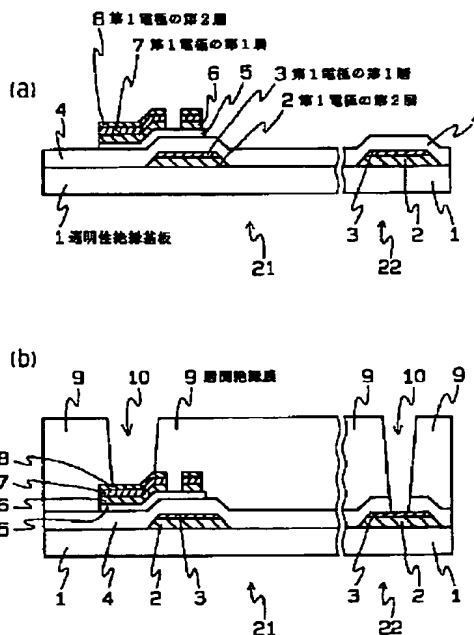
(54) **THIN FILM TRANSISTOR AND LIQUID CRYSTAL  
DISPLAY DEVICE USING THE SAME**

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To directly provide low contact resistance with indium tin oxide, by forming an insulating film by means of covering a first electrode and a substrate, forming a second electrode constituted of a transparent film electrode on the insulating film and electrically connecting the second electrode and the first electrode through a contact hole.

**SOLUTION:** Pure aluminum or aluminum alloy is used and a first electrode being one of a gate, a source and a drain is formed on a transparent insulating substrate 1. Impurity constituted of one of N, O, Si and C is added to the upper layer of the first electrode. A second layer 2 to which impurity is added and a first layer 3 to which impurity is not added are formed. An insulating film 4 is formed by covering the first electrode and the transparent insulating substrate 1. The insulating film 4 is patterned, a contact hole 10 is formed and a second electrode and the first electrode, which are formed on the insulating film 4 through the contact hole 10, are electrically connected.

COPYRIGHT: (C)1999,JPO



(51) Int.Cl.<sup>9</sup> 識別記号

H 0 1 L 29/786

21/336

G 0 2 F 1/136

H 0 1 L 21/3205

5 0 0

F I

H 0 1 L 29/78

G 0 2 F 1/136

H 0 1 L 21/88

29/78

6 1 6 K

5 0 0

M

6 1 6 U

6 1 6 V

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平10-86292

(22) 出願日 平成10年(1998) 3 月31日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 595059056

株式会社アドバンスト・ディスプレイ

熊本県菊池郡西合志町御代志997番地

(72) 発明者 坂田 和之

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 井上 和式

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 朝日奈 宗太 (外1名)

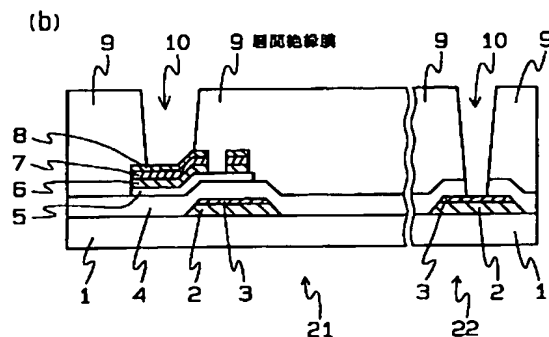
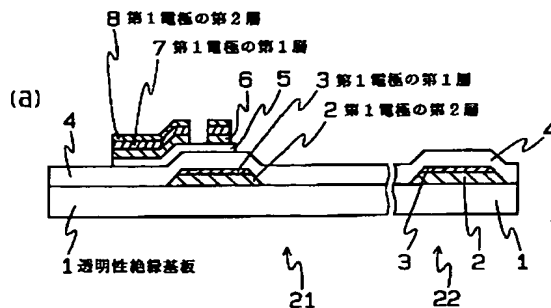
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタおよび該薄膜トランジスタを用いた液晶表示装置

(57) 【要約】

【課題】 低抵抗な Al 配線材料を用いて、生産コストの低下および生産性の向上を計ることができる高性能な TFT とその製造方法および液晶表示装置を提供する。

【解決手段】 本発明の薄膜トランジスタは、透明絶縁性基板上に形成された第1電極であるゲート、ソースおよびドレインと、該第1電極および前記透明絶縁性基板を覆って形成された絶縁膜と、前記絶縁膜上に形成された第2電極とを少なくとも含み、前記第1電極が純 Al および Al 合金のうちのいずれかからなる下層の第1層と、純 Al および Al 合金のうちのいずれかに N、O、Si および C のうちの少なくとも1つからなる不純物を添加されてなる第2層とからなり、前記第2電極が透明膜電極からなり、前記第2電極と前記第1電極の第2層とが電気的に接続されてなる。



## 【特許請求の範囲】

【請求項1】 (1) 透明絶縁性基板上に、純A1およびA1合金のいずれかを用いて、ゲート、ソースおよびドレインのうちの少なくとも1つである第1電極を形成する工程と、(2) N、O、SiおよびCのうちの少なくとも1つからなる不純物を前記第1電極の上層に添加し前記不純物を添加した第2層と前記不純物を添加しない第1層を形成する工程と、(3) 前記第1電極および前記基板を覆って絶縁膜を成膜する工程と、(4) 該絶縁膜にパターニングを施しコンタクトホールを形成する工程と、(5) 前記絶縁膜上に透明膜電極からなる第2電極を形成して該第2電極と第1電極とを前記コンタクトホールを介して電氣的に接続する工程とを少なくとも含む薄膜トランジスタの製法。

【請求項2】 透明絶縁性基板上に形成された第1電極であるゲート、ソースおよびドレインと、該第1電極および前記透明絶縁性基板を覆って形成された絶縁膜と、該絶縁膜上に形成された第2電極とを少なくとも含み、前記第1電極が純A1およびA1合金のうちのいずれかからなる下層の第1層と、純A1およびA1合金のうちのいずれかにN、O、SiおよびCのうちの少なくとも1つからなる不純物が添加されてなる第2層とからなり、前記第2電極が透明膜電極からなり、前記第2電極と前記第1電極の第2層とが電氣的に接続されてなる薄膜トランジスタ。

【請求項3】 前記不純物が前記第1層と前記第2層との界面で連続分布してなる請求項2記載の薄膜トランジスタ。

【請求項4】 前記第1層と前記第2層とが同時エッチング可能な層である請求項2記載の薄膜トランジスタ。

【請求項5】 前記透明膜電極が酸化インジウム、酸化すず、酸化インジウムすずおよび酸化亜鉛のいずれかからなる請求項2記載の薄膜トランジスタ。

【請求項6】 透明絶縁性基板上に形成された第1電極であるゲート、ソースおよびドレインと、該第1電極および前記透明絶縁性基板を覆って形成された絶縁膜と、該絶縁膜上に形成された第2電極とを少なくとも含み、前記第1電極が純A1およびA1合金のうちのいずれかからなる下層の第1層と、純A1およびA1合金のうちのいずれかにN、O、SiおよびCのうちの少なくとも1つからなる不純物を添加されてなる第2層とからなり、前記第2電極が透明膜電極からなり、前記第2電極と前記第1電極の第2層とが電氣的に接続されてなる薄膜トランジスタが少なくとも含まれるTFTアレイベースを少なくとも有する液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ（以下、TFTと称す）とその製造方法およびTFTを用いた液晶表示装置に関する。

## 【0002】

【従来の技術】 マトリックス型液晶表示装置は、通常半導体薄膜（以下、半導体膜と称す）などからなるTFTなどが設けられたTFTアレイベースと対向基板との2枚の基板の間に液晶などの表示材料が挟持され、この表示材料に対して、画素ごとに選択的に電圧が印加されるようにして構成されている。対向基板には、対向電極、カラーフィルタおよびブラックマトリックスなどが設けられている。このようなTFTアレイベースを用いた液晶表示装置（Liquid Crystal Display、以下LCDと略記する）を以下TFT-LCDと称する。

【0003】 TFTアレイベースは、ガラスなどからなる絶縁性基板上に各素子ごとにアレイベースにゲート電極、ソース電極、ドレイン電極および半導体膜からなるTFTならびに画素電極が少なくとも設けられ、その他、配向膜や必要に応じて蓄積容量などが設けられるとともに、各画素どうしのあいだにはゲート配線やソース配線などの信号線がそれぞれ互いにかつ並行に複数本ずつ設けられて表示領域が構成されている。さらに表示領域の外側に、各信号線に対応してそれぞれ入力端子や、TFTを駆動する駆動回路などが設けられている。

【0004】 このようなTFTアレイベースを用いた液晶装置を作製するにはガラス基板上にTFT、ゲート（ゲート電極とゲート配線とをあわせて単にゲートという）、ソース／ドレイン（ソース電極とソース配線とをあわせて単にソースといい、また、ドレイン電極を単にドレインともいう。さらに、ソースおよびドレインをソース／ドレインと表わす）およびその他の共通配線をアレイベースに作製して、表示領域とするとともに、入力端子、予備配線および駆動回路などを表示領域の周辺に配置する。このときそれぞれの機能を発現させるために導電性薄膜（以下、導電膜と称す）や絶縁性薄膜（以下、絶縁膜と称す）を必要に応じて配設する。また、対向基板には対向電極を設けるとともにカラーフィルタ、ブラックマトリックスを設ける。

【0005】 TFTアレイベースと対向基板とを作製した後、2枚の基板のあいだに液晶材料が注入されるように所望の隙間を有する状態にして両基板をその周囲で貼り合わせた後、2枚の基板の隙間に液晶材料を注入してLCDを作製する。

【0006】 LCDに用いられるTFTアレイベースや対向基板には、薄膜技術を利用して種々の半導体装置などが設けられている。これらの半導体装置には、半導体膜や絶縁膜、導電膜が形成されており、層間の電氣的接続をとるために層間絶縁膜や半導体膜を貫通するコンタクトホールがさらに形成されている。

【0007】 TFT-LCDにおいては、大型化あるいは高精細化に伴い、ゲート配線やソース／ドレイン配線には信号の遅延を防止するために、純A1あるいはA1を主成分とする電氣的に低抵抗な合金材料を用いること

が特性上およびプロセス上からは望ましいが、透明性の画素電極となるITOなどからなる第2電極と、これら純AlあるいはAl合金からなる第1電極とコンタクトさせると、そのコンタクト抵抗は $1E10 \sim 1E12 \Omega$ と非常に高く、良好なコンタクト特性をうることはできなかった。

【0008】したがって、絶縁膜に開口したコンタクトホールを介して純AlまたはAl合金からなる第1電極と画素電極となるITOなどの透明性導電膜からなる第2電極とを直接コンタクト（接続）するようなTFTアレ

レイ基板を実現することは不可能であった。

【0009】この問題を解決する方法として、従来では良好なコンタクトをうるために第1電極は、たとえば特開平4-253342、4-305627および8-18058号公報に見られるように、純AlまたはAl合金上にCr、Ti、Mo、Cu、Niなどを成膜する2層構造としていた。

【0010】

【発明が解決しようとする課題】このように従来の製造方法においては、ITOなどからなる第2電極と純AlまたはAl合金からなる第1電極とのコンタクト抵抗が $1 \times 10E10 \sim 1 \times 10E12 \Omega$ と非常に高く、良好なコンタクト抵抗がえられなかった。また、良好なコンタクトをうるために第1電極を材料の異なる2層構造としたばあいは、同薬液および同時エッチングは不可能であり、2種類の薬液による2度のエッチング工程を必要とするため工程の複雑化を招いていた。本発明は、第2電極と第1電極とのコンタクト部において、良好なコンタクト抵抗をうるとともに、第1電極を同薬液による同時エッチング可能な2層構造とすることで、低抵抗なAl配線材料を用いて、かつ生産コストの低下および生産性の向上を計ることができる高性能なTFTとその製造方法および液晶表示装置を提供するものである。

【0011】

【課題を解決するための手段】本発明の請求項1にかかわる薄膜トランジスタの製法は、（1）透明絶縁性基板上に、純AlおよびAl合金のいずれかを用いて、ゲート、ソースおよびドレインのうちの少なくとも1つである第1電極を形成する工程と、（2）N、O、SiおよびCのうちの少なくとも1つからなる不純物を前記第1電極の上層に添加し前記不純物を添加した第2層と前記不純物を添加しない第1層を形成する工程と、（3）前記第1電極および前記基板を覆って絶縁膜を成膜する工程と、（4）該絶縁膜にパターニングを施しコンタクトホールを形成する工程と、（5）前記絶縁膜上に透明膜電極からなる第2電極を形成して該第2電極と第1電極とを前記コンタクトホールを介して電氣的に接続する工程とを少なくとも含むものである。

【0012】本発明の請求項2にかかわる薄膜トランジスタは、透明絶縁性基板上に形成された第1電極である

ゲート、ソースおよびドレインと、該第1電極および前記透明絶縁性基板を覆って形成された絶縁膜と、該絶縁膜上に形成された第2電極とを少なくとも含み、前記第1電極が純AlおよびAl合金のうちのいずれかからなる下層の第1層と、純AlおよびAl合金のうちのいずれかにN、O、SiおよびCのうちの少なくとも1つからなる不純物が添加されてなる第2層とからなり、前記第2電極が透明膜電極からなり、前記第2電極と前記第1電極の第2層とが電氣的に接続されてなるものである。

【0013】本発明の請求項3にかかわる薄膜トランジスタは、前記不純物が前記第1層と前記第2層との界面で連続分布してなるものである。

【0014】本発明の請求項4にかかわる薄膜トランジスタは、前記第1層と前記第2層とが同時エッチング可能な層であるものである。

【0015】本発明の請求項5にかかわる薄膜トランジスタは、前記透明膜電極が酸化インジウム、酸化すず、酸化インジウムすずおよび酸化亜鉛のいずれかからなるものである。

【0016】本発明の請求項6にかかわる液晶表示装置は、透明絶縁性基板上に形成された第1電極であるゲート、ソースおよびドレインと、該第1電極および前記透明絶縁性基板を覆って形成された絶縁膜と、該絶縁膜上に形成された第2電極とを少なくとも含み、前記第1電極が純AlおよびAl合金のうちのいずれかからなる下層の第1層と、純AlおよびAl合金のうちのいずれかにN、O、SiおよびCのうちの少なくとも1つからなる不純物を添加されてなる第2層とからなり、前記第2電極が透明膜電極からなり、前記第2電極と前記第1電極の第2層とが電氣的に接続されてなる薄膜トランジスタが少なくとも含まれるTFTアレ

レイ基板を少なくとも有するものである。

【0017】前記第2層が、Ar+N<sub>2</sub>の混合ガスパッタにより形成されてなるものである。

【0018】前記第2層が、Ar+N<sub>2</sub>+CO<sub>2</sub>およびAr+N<sub>2</sub>+CF<sub>4</sub>のうちのいずれかの混合ガスパッタにより形成されてなるものである。

【0019】前記第2層が、少なくとも純AlおよびAl合金のいずれかからなる第1層成膜後、N<sub>2</sub>のイオンを注入することにより形成されてなるものである。

【0020】前記第2層が、前記（4）の工程後、N<sub>2</sub>のイオンを注入することによりコンタクト部表面のみに形成されてなるものである。

【0021】前記第2層が、第1層形成後、窒化ガス雰囲気中でのアニールにより形成されてなるものである。

【0022】前記第2層が、前記（4）の工程後、窒化ガス雰囲気中でのアニールによりコンタクト部表面のみに形成されてなるものである。

【0023】前記第2層が、第1層形成後、N<sub>2</sub>プラズ

マにより形成されてなるものである。

【0024】前記第2層が、前記(4)の工程後、 $N_2$ プラズマによりコンタクト部表面のみに形成されてなるものである。

【0025】前記第2層に対する不純物添加方法としてNの代わりにOを含むガス、Siを含むガスおよびCを含むガスのうちのいずれかが用いられてなるものである。

【0026】前記第2層が、 $Ar + NH_3$ の混合ガススパッタにより形成されてなるものである。

【0027】前記第2層が、第1層形成後、該第1層を形成した透明絶縁性基板を $NH_4OH$ に浸漬させ、そののちアニール処理を施すことにより形成されてなるものである。

【0028】請求項1記載の工程(3)の絶縁膜形成工程において、該絶縁膜を窒化シリコンとし、拡散により純AlおよびAl合金のうちのいずれかからなる第1電極表面にSiおよびNを不純物として有する第2層を形成する。

【0029】前記絶縁膜の窒化シリコン膜を $SiN_x$ 、 $H_2$ 、 $NH_3$ および $N_2$ の混合ガスを用いた化学的気相成長法を用いて成長することにより第1層の表面にSiおよびNを拡散させて第2層を形成する。

【0030】前記絶縁膜の窒化シリコンを少なくとも2層構造とし、とくに初段の窒化シリコン膜を $SiH_4$ 、 $H_2$ 、 $NH_3$ および $N_2 + CF_4$ からなる混合ガスを用いた化学的気相成長法にて形成する。

【0031】請求項1記載の工程(3)の絶縁膜形成工程において、該絶縁膜を $SiO_2$ とし、拡散により純AlおよびAl合金のうちのいずれかからなる第1電極表面にSiおよびOを不純物として有する第2層を形成する。

【0032】請求項1記載の工程(5)の透明膜電極からなる第2電極形成工程において、該第2電極を、少なくともArガスのみによるスパッタリング法にて形成した第1層と、 $Ar + O_2$ の混合ガスによるスパッタリング法にて形成した第2層とから形成し、かつ該第2電極の第1層と前記第1電極の第2層とで電気的に接続する。

【0033】

【発明の実施の形態】以下、添付図面を参照しつつ、本発明の実施の形態について詳細に説明する。

【0034】実施の形態1

図1、図2および図3は本発明に係わるTFTアレイ基板のTFT部および端子部を製造工程順に示す工程断面説明図である。図1、図2および図3において、21はTFT部であり、22は端子部であり、1は透明性絶縁基板であり、2は第1電極(TFT部の第1電極はゲート電極)の第1層であり、3は第1電極の第2層であり、4はゲート絶縁膜であり、5は半導体層a-Si膜

であり、6は半導体層n'-a-Si膜であり、7は第1電極(TFT部の第1電極はソース/ドレイン電極)の第1層であり、8は第1電極の第2層であり、9は層間絶縁膜であり、10はコンタクトホールであり、11は第2電極(画素電極)である。TFT部21は、TFTアレイ基板上の互いに直交するゲート配線とソース配線(共に図示せず)の交差部近傍に設けられ、液晶を駆動するスイッチング素子を構成する部分であり、端子部22はゲート配線を延在して表示パネルの外側に配置され、ゲート電極に外部から信号を入力するための部分である。

【0035】本実施の形態を製造の順にしたがって説明する。透明性絶縁基板1上にスパッタリング法などを用いて純AlまたはAl合金(第1電極材料)を成膜し、フォトリソグラフィ法にてレジストパターンニングを行った後でリン酸、硝酸および酢酸系のエッチング液を用いてエッチングし、ゲート配線(図示せず)およびゲート電極(第1電極)ならびに端子部を形成する(図1の

(a)参照)。下層膜である第1電極(ゲート電極)の第1層2と、上層膜である第1電極(ゲート電極)の第2層3とについては、本発明の特徴であり形成方法の詳細は後述する。つぎに化学的気相成長法(以下、CVD)などを用いて窒化シリコン( $SiN_x$ )または酸化シリコン( $SiO_2$ )からなるゲート絶縁膜4を厚さ約4000Å、半導体層を成膜し、半導体層をパターンニングして半導体層a-Si膜5(厚さ約1500Å)、低抵抗の半導体層n'-a-Si膜6(厚さ約300Å)を順次形成する(図1の(b)参照)。

【0036】さらに、スパッタリング法を用いてふたたび第1電極材料である純AlまたはAl合金を約3000Å成膜し、パターンニングを行ってトランジスタのチャネル部ならびにソース/ドレイン電極部を形成する。ここで下層膜である第1電極(ソース/ドレイン電極)の第1層7と上層膜である第1電極(ソース/ドレイン電極)の第2層8の2層構成については本発明の特徴であり、形成方法は後述する(図2の(a)参照)。

【0037】つぎに、層間絶縁膜9を形成したのち、パターンニングを行いコンタクトホール10を形成する。コンタクトホールはゲート端子部およびTFTのドレイン電極部に形成する。ここで、層間絶縁膜9はたとえばCVD法による窒化シリコン膜、またはアクリル系の透明性樹脂などのいずれか一方、あるいは両方の組み合わせで形成することができる(図2の(b)参照)。

【0038】最後に透明導電膜としてスパッタリング法を用いてITO膜(酸化インジウムスズ)を厚さ約1000Å成膜し、パターンニングして画素電極(第2電極)11を形成してTFTアレイ基板をうる。画素電極11は層間絶縁膜のコンタクトホール10を介して第1電極材料からなるゲート電極、ソース/ドレイン電極のそれぞれの上層膜すなわち、第1電極(ゲート電極)の第2層

10

20

30

40

50

3、第1電極（ソース／ドレイン電極）の第2層8と電氣的に接続されている。

【0039】本実施の形態においては、スパッタリング法を用いて第1電極材料の純AlまたはAl合金を用いてゲート電極および端子部を形成する際に、まず純Arガスをを用いて第1電極の第1層2を約2000Åの厚さで成膜し、つぎに連続してAr+N<sub>2</sub>混合ガスをを用いて第1電極の第2層3を約250Å成膜した。この第2層目のAl膜は、N<sub>2</sub>ガスによる反応性スパッタリングのため、窒素（N）元素が添加された膜が形成されている。ソース／ドレイン電極のばあいも同様の方法で、純AlまたはAl合金の下層膜である第2電極の第1層7（約2000Å）と、これに窒素（N）元素が添加された上層膜である第2電極の第2層8（約250Å）が形成される。

【0040】本実施の形態に適用した成膜条件を表1に示す。このようにして作製されたTFTアレ基板のコンタクトホール10における純AlまたはAl合金からなる第1電極と、ITOなどの透明導電膜からなる第2電極とのコンタクト表面部の電気抵抗値（コンタクト抵抗値）は、最小値で約50μm<sup>2</sup>で約350Ωと低く良好な値を示した。

表 1 スパッタ成膜条件

	第1層	第2層
成膜圧力（Pa）	0.27	0.2～0.68
流量（sccm）	40	Ar：20～80 N <sub>2</sub> ：10～40
成膜パワー（KW）	10	1～10
成膜温度（℃）	175	175
成膜膜厚（Å）	2000～3000	100～500

【0045】なお、本実施の形態では、スパッタリング法を用いて第1電極材料の純AlまたはAl合金を用いてゲート電極および端子部ならびにソース／ドレイン電極を形成する際に、まずArガスをを用いて第1層目を成膜し、続けてAr+N<sub>2</sub>混合ガスをを用いて第2層目を成膜する2段階スパッタとしたが、初期のガスを純Arとし、徐々にN<sub>2</sub>ガスの添加量を増加させていく連続スパッタリングで形成してもよい。このばあいはAl膜の上層部（第2電極とのコンタクト表面部）に向かうほど窒素（N）元素添加量が多くなる連続した組成プロファイルを有する膜となる。

【0046】また、第1電極材料の母体となるAlとしては、純Alのほか、Alを主成分としてAl合金を用いることができる。Al合金に添加する元素は、ヒロック抑制や耐食性の向上といった点からCuやSi、あるいは希土類元素が望ましいが、Alの電氣的低抵抗というメリットを活かすために、その添加量は比抵抗が10

\*【0041】また本TFTアレ基板に250℃×60分の熱処理を行った後の同コンタクト抵抗値は約750Ω、さらに300℃×60分の熱処理を行った後も同コンタクト抵抗値は約800Ωと、従来技術のばあいの1E10～1E12Ωに比べると極めて低く、優れた耐熱性を有していた。

【0042】なお、表1における成膜条件のパラメータ値は、装置によってそれぞれ固有に最適化されるものであって、この値に限定されるものではない。ただし、パラメータ値に対するコンタクト抵抗値の傾向として、第2層の成膜圧力が高いほどコンタクト抵抗値は小さくなる傾向が見られた。

【0043】また良好なコンタクト抵抗をうるための第1電極の第2層の膜厚は本実施の形態では250Åとしたが、これに限定されず50～1000Åであればよい。これは50Å以下ではITOとAl界面のOの拡散を抑制するのが難しいこと、また1000Å以上では電極全体の抵抗値が高くなり、Alを用いることによる配線の低抵抗化のメリットを享受できないためである。さらに100～500Åがより好ましい。

【0044】

\*【表1】

μΩ・cmを超えない程度に抑えるのが好ましい。

【0047】ただし、本実施の形態のように、Ar+N<sub>2</sub>混合ガススパッタリングによって膜の上層部が部分的に窒化アルミニウム（AlN<sub>x</sub>）が形成された膜でキャッピングされた2層構造膜のばあいには、同時エッチングが可能であり純Alを用いたばあいでもヒロックの発生が防止でき、さらに耐食性も向上する効果を有する。このためとくに耐ヒロック性に優れるAl合金を用いなくても極めて信頼性の高いTFTアレを実現することが可能であることも本実施の形態の大きな特長である。

【0048】以下、実施の形態2～10は、実施の形態1において、第1電極材料のAl膜と第2電極材料のITO膜との低コンタクト抵抗をうるための、第1電極Alの第2層を形成する方法以外のプロセスならびにその発明の効果はいずれも実施の形態1と同様である。したがって、第1電極Alの第2層目の形成方法の記述のみにとどめる。

### 【0049】実施の形態2

図1、図2および図3のTFTアレ製造プロセスにおいて、第1電極は、純AlまたはAl合金をスパッタリング法を用いて純Arガス中で成膜後、イオンドーピング法またはイオン注入法を用いて窒素(N)イオンを注入してNを添加した第2層目すなわち、第1電極の第2層3、および第2電極の第2層8を形成してからパターニングを施して電極を形成する。なおドーズ量は $5 \times 10^{16} \sim 1 \times 10^{17}$ 個/cm<sup>2</sup>とした。

【0050】また、イオン種をBイオン、Pイオンとしたばあいでも、Nイオンのばあいほど顕著ではないが同様のコンタクト低減効果がえられる。

### 【0051】実施の形態3

図4は本実施の形態にかかわるTFT部および端子部の構造を示す断面説明図である。図4において、12はゲート電極におけるコンタクト部の第2層であり、13はソース/ドレイン電極におけるコンタクト部の第2層であり、42および47は第1電極であり、その他の符号は図1と共通である。図1のTFTアレ製造プロセスにおいて、純AlまたはAl合金からなる第1電極を純Arガスを用いたスパッタリング法により成膜後、パターニングにより形成する。層間絶縁膜9を形成し、コンタクトホール10を開口した図1(a)の後に、イオンドーピング法を用いてNイオンを注入し、それぞれの第1電極のコンタクト表面にNイオンを添加した第2層目を形成する。したがって本実施の形態では図2に示すように第1電極の第2層目すなわち、ゲート電極におけるコンタクト部の第2層12および、ソース/ドレイン電極におけるコンタクト部の第2層13は第2電極ITO膜からなる画素電極11と接続されるコンタクト部分のみに形成された構造となる。

### 【0052】実施の形態4

実施の形態2および実施の形態3のTFT製造プロセスにおいて、純AlまたはAl合金からなる第1電極の第2層目をイオンドーピングではなく、窒化ガス雰囲気中で熱処理(アニール)することにより形成した。

【0053】熱処理は温度300~450℃、時間30~90分の条件で行い、窒化ガスとして、N<sub>2</sub>ガスまたはNH<sub>3</sub>ガスを用いた。これ以外にもメチルヒドラジン、ヒドラジンおよびエチルアニリンなどのガスを用いることができ、このばあいは低温度かつ短時間の熱処理で効率よくAlN<sub>x</sub>が形成された第2層目を形成することが可能である。

### 【0054】実施の形態5

実施の形態2および実施の形態3のTFT製造プロセスにおいて、純AlまたはAl合金からなる第1電極の第2層目をイオンドーピングではなく、N<sub>2</sub>プラズマ処理によって形成した。プラズマ処理条件は、PEあるいはRIEモードでPower 500W、N<sub>2</sub>ガス圧7~500Pa、処理時間は15~60秒とした。なお、本成

膜条件のパラメータ値も、処理する装置によってそれぞれ固有に最適化されるものであって、この値に限定されるものではない。

### 【0055】実施の形態6

実施の形態2および実施の形態3のTFT製造プロセスにおいて、純AlまたはAl合金からなる第1電極の第2層目を、TFTアレ基板をアンモニア水NH<sub>4</sub>OHに浸漬させて第1電極をNH<sub>4</sub>OHに浸すことにより形成する。また、NH<sub>4</sub>OHに浸漬後、実施の形態4のごとく窒化ガス雰囲気中で熱処理を行ってもよい。

### 【0056】実施の形態7

実施の形態1に示すTFT製造プロセスにおいて、純AlまたはAl合金からなる第1電極の形成において、まず純Arガスを用いたスパッタリング法を用いて第1層目を成膜し、つぎにAr+NH<sub>3</sub>混合ガスを用いた反応性スパッタリングにより第2層を成膜した後で、パターニングを行い、電極を形成した。

【0057】またこれ以外にも第2層目を成膜する際の混合ガスとして、Ar+O<sub>2</sub>、Ar+N<sub>2</sub>+CO<sub>2</sub>、Ar+N<sub>2</sub>CF<sub>4</sub>を用いたばあいまたはこれらのガスにさらにSiH<sub>4</sub>を添加したばあいにも低コンタクト抵抗効果がえられた。したがって、第2層目のAlにN、OまたはN+C+O+Siが不純物として添加されたばあいでも本発明の効果を十分にうることができる。

### 【0058】実施の形態8

実施の形態1に示すTFT製造プロセスにおいて、純Arガスを用いたスパッタリング法により純AlまたはAl合金からなる第1電極(ゲート電極、ソース/ドレイン電極)において、それぞれ第1電極上に形成するゲート絶縁膜および層間絶縁膜として、プラズマCVD法でSiH<sub>4</sub>+H<sub>2</sub>+NH<sub>3</sub>+N<sub>2</sub>混合ガスを用いて窒化シリコン膜を成膜し、界面拡散を利用してSiおよびN元素を添加することにより第1電極の第2層目を形成した。

### 【0059】実施の形態9

図5は、本発明の実施の形態9にかかわるTFT部および端子部の断面説明図であり、14はゲート絶縁膜の第1層であり、15はゲート絶縁膜の第2層であり、16は層間絶縁膜の第1層であり、17は層間絶縁膜の第2層であり、その他の符号は図1~図4と共通である。

【0060】実施の形態8において、純AlまたはAl合金からなる第1電極上に形成する窒化シリコン膜を少なくとも図5に示すごとく2層以上とし、とくに初期の成膜を、プラズマCVD法でSiH<sub>4</sub>+H<sub>2</sub>+NH<sub>3</sub>+N<sub>2</sub>混合ガスにさらにCF<sub>4</sub>を加えた混合ガスで行う。CF<sub>4</sub>ガスを混ぜることによって、N元素リッチで化学的に不安定な窒化シリコン膜としてゲート絶縁膜の第1層14およびゲート絶縁膜の第2層16を形成することができるので、SiおよびN元素が拡散し易く、効率よくSiおよびN元素を添加した第1電極の第2層目を形成することが可能である。

### 【0061】実施の形態10

実施の形態8のTFTアレイ製造プロセスにおいて、ゲート絶縁膜および層間絶縁膜を酸化シリコン $\text{SiO}_2$ とし、界面拡散によって $\text{Si}$ および $\text{O}$ 元素を添加して第1電極の第2層目を形成しても同様のコンタクト抵抗低減効果をうることができる。

### 【0062】実施の形態11

図6は、本発明の実施の形態11にかかわるTFT部および端子部の断面説明図であり、18はITOからなる画素電極の第1層であり、19はITOからなる画素電極の第2層であり、その他の符号は図1～5と共通である。図1に示す実施の形態1のTFTアレイ製造プロセスにおいて、図1(c)のITO膜のような透明性導電酸化膜からなる第2電極である画素電極11を2層構造とし、画素電極の第1層18を純 $\text{Ar}$ ガスのみを用いたスパッタリング法で約500Å成膜し、その後、 $\text{Ar} + \text{O}_2$ ガスを用いた従来の方法を用いて画素電極の第2層19を厚さ約500Å成膜した。

【0063】このように純 $\text{Al}$ または $\text{Al}$ 合金からなる第1電極に接する初期のITO膜の $\text{O}$ 元素量を少なくしてやることによって、 $\text{O}$ 元素拡散による第1電極界面での $\text{Al}_x\text{O}_y$ 形成を抑制することができ、数100～数千 $\Omega$ の低コンタクト抵抗値を実現することができる。

【0064】なお、ITOなどからなる第2電極の第1層の膜厚は100～500Å程度が好ましい。これは、100Å未満であるとコンタクト低減効果は充分でなく、また $\text{O}$ 元素が少ないITO膜は比抵抗が高くかつ透過率も低いためあまり厚くするとTFTアレイにおける光の透過率が下がり、特性を劣化させてしまうからである。

【0065】なお、以上の実施の形態1～11では、第1電極材料として純 $\text{Al}$ または $\text{Al}$ 合金、そして第2電極材料としてITO膜を用いたばあいについて説明してきたが、本発明にかかる効果はこれらの電極材料に限られることはなく、たとえば第1の電極材料として $\text{Ta}$ 、そして第2の電極材料として $\text{In}_2\text{O}_3$ 、 $\text{SnO}_2$ 、 $\text{ZnO}_2$ などのうちのいずれかをベースとした他の透明性酸化導電膜を用いたばあいでも同様の効果を奏する。

### 【0066】実施の形態12

以上説明した実施の形態1から11のいずれかによって形成したTFTアレイ基板を用い、これと対向電極やカラーフィルタなどを有する対向基板を貼り合わせ、さらに液晶材料を注入挾持してTFTアクティブマトリックス型の液晶表示装置(TFT-LCD装置)をえた。すなわち本実施の形態によれば、TFTアレイ基板の配線や電極に低抵抗配線である $\text{Al}$ が用いられ、また $\text{Al}$ 以外を主成分とする別金属層を設けることなくITO透明膜からなる画素電極が $\text{Al}$ と直接コンタクトした構造を有しているので、高開口率で高性能を有し、かつ従来装置よりも生産性よく低コストで実施することができる優

れた液晶表示装置をうることができた。

### 【0067】

【発明の効果】本発明の請求項1にかかわる薄膜トランジスタの製法は、(1)透明絶縁性基板上に、純 $\text{Al}$ および $\text{Al}$ 合金のいずれかを用いて、ゲート、ソースおよびドレインのうちの少なくとも1つである第1電極を形成する工程と、(2) $\text{N}$ 、 $\text{O}$ 、 $\text{Si}$ および $\text{C}$ のうちの少なくとも1つからなる不純物を前記第1電極の上層に添加し前記不純物を添加した第2層と前記不純物を添加しない第1層を形成する工程と、(3)前記第1電極および前記基板を覆って絶縁膜を成膜する工程と、(4)該絶縁膜にパターニングを施しコンタクトホールを形成する工程と、(5)前記絶縁膜上に透明膜電極からなる第2電極を形成して該第2電極と第1電極とを前記コンタクトホールを介して電氣的に接続する工程とを少なくとも含むものであるので、ITOなどと直接的に低コンタクト抵抗が実現できる薄膜トランジスタを容易にうるという効果を奏する。

【0068】本発明の請求項2にかかわる薄膜トランジスタは、透明絶縁性基板上に形成された第1電極であるゲート、ソースおよびドレインと、該第1電極および前記透明絶縁性基板を覆って形成された絶縁膜と、該絶縁膜上に形成された第2電極とを少なくとも含み、前記第1電極が純 $\text{Al}$ および $\text{Al}$ 合金のうちのいずれかからなる下層の第1層と、純 $\text{Al}$ および $\text{Al}$ 合金のうちのいずれかに $\text{N}$ 、 $\text{O}$ 、 $\text{Si}$ および $\text{C}$ のうちの少なくとも1つからなる不純物が添加されてなる第2層とからなり、前記第2電極が透明膜電極からなり、前記第2電極と前記第1電極の第2層とが電氣的に接続されてなるものであるので、ITOなどと直接的に低コンタクト抵抗が実現できる薄膜トランジスタをうるという効果を奏する。

【0069】本発明の請求項3にかかわる薄膜トランジスタは、前記不純物が前記第1層と前記第2層との界面で連続分布してなるものであるので、ITOなどと直接的に低コンタクト抵抗が実現できる薄膜トランジスタをうるという効果を奏する。

【0070】本発明の請求項4にかかわる薄膜トランジスタは、前記第1層と前記第2層とが同時エッチング可能な層であるものであるので、ITOなどと直接的に低コンタクト抵抗が実現できる薄膜トランジスタをうるという効果を奏する。 $\text{Al}$ のみを用いることができパターニング時のエッチングが1回で済むために、成膜(配線材料種類の低減)ならびにエッチング工程の簡略化(→生産性向上/コスト低減)という効果を奏する。

【0071】本発明の請求項5にかかわる薄膜トランジスタは、前記透明膜電極が酸化インジウム、酸化すず、酸化インジウムすずおよび酸化亜鉛のいずれかからなるものであるので、ITOなどと直接的に低コンタクト抵抗が実現できる薄膜トランジスタを容易にうるという効果を奏する。



【0072】本発明の請求項6にかかわる液晶表示装置は、透明絶縁性基板上に形成された第1電極であるゲート、ソースおよびドレインと、該第1電極および前記透明絶縁性基板を覆って形成された絶縁膜と、該絶縁膜上に形成された第2電極とを少なくとも含み、前記第1電極が純AlおよびAl合金のうちのいずれかからなる下層の第1層と、純AlおよびAl合金のうちのいずれかにN、O、SiおよびCのうちの少なくとも1つからなる不純物を添加されてなる第2層とからなり、前記第2電極が透明膜電極からなり、前記第2電極と前記第1電極の第2層とが電氣的に接続されてなる薄膜トランジスタが少なくとも含まれるTFTアレイ基板を少なくとも有するものであるので、ITOなどと直接的に低コンタクト抵抗が実現できる薄膜トランジスタを用いて高開口率で高性能な表示特性を有し、かつ従来装置よりも生産性よく低コストで実現することができる優れた液晶表示装置をうるという効果を奏する。

【0073】前記第2層が、Ar+N<sub>2</sub>の混合ガスパックにより形成されてなるものであるので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。また、さらに、同一スパッタ装置を用いて同一プロセス中にガス種を変化させるだけで本発明の2層構造電極を形成することができるので、工程が簡略化され、生産性が向上するという効果を奏する。

【0074】前記第2層が、Ar+N<sub>2</sub>+CO<sub>2</sub>およびAr+N<sub>2</sub>+CF<sub>4</sub>のうちのいずれかの混合ガスパックにより形成されてなるものであるので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。また、さらに、同一スパッタ装置を用いて同一プロセス中にガス種を変化させるだけで本発明の2層構造電極を形成することができるので、工程が簡略化され、生産性が向上するという効果を奏する。

【0075】前記第2層が、少なくとも純AlおよびAl合金のいずれかからなる第1層形成後、N<sub>2</sub>のイオンを注入することにより形成されてなるものであるので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。

【0076】前記第2層が、前記(4)の工程後、N<sub>2</sub>のイオンを注入することによりコンタクト部表面のみに形成されてなるものであるので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。

【0077】前記第2層が、第1層形成後、窒化ガス雰囲気中でのアニールにより形成されてなるものであるので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。

【0078】前記第2層が、前記(4)の工程後、窒化ガス雰囲気中でのアニールによりコンタクト部表面のみに形成されてなるものであるので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏

する。

【0079】前記第2層が、第1層形成後、N<sub>2</sub>プラズマにより形成されてなるものであるので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。

【0080】前記第2層が、前記(4)の工程後、N<sub>2</sub>プラズマによりコンタクト部表面のみに形成されてなるものであるので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。

【0081】前記第2層に対する不純物添加方法としてNの代わりにOを含むガス、Siを含むガスおよびCを含むガスのうちのいずれかが用いられてなるものであるので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。

【0082】前記第2層が、Ar+NH<sub>3</sub>の混合ガスパックにより形成されてなるものであるので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。また、さらに、同一スパッタ装置を用いて同一プロセス中にガス種を変化させるだけで本発明の2層構造電極を形成することができるので、工程が簡略化され、生産性が向上するという効果を奏する。

【0083】前記第2層が、第1層形成後、該第1層を形成した透明絶縁性基板をNH<sub>4</sub>OHに浸漬させ、そののちアニール処理を施すことにより形成されてなるものであるので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。また、さらに、同一スパッタ装置を用いて同一プロセス中にガス種を変化させるだけで本発明の2層構造電極を形成することができるので、工程が簡略化され、生産性が向上するという効果を奏する。

【0084】請求項1記載の工程(3)の絶縁膜形成工程において、該絶縁膜を窒化シリコンとし、拡散により純AlおよびAl合金のうちのいずれかからなる第1電極表面にSiおよびNを不純物として有する第2層を形成するので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。

【0085】前記絶縁膜の窒化シリコン膜をSiN<sub>4</sub>、H<sub>2</sub>、NH<sub>3</sub>およびN<sub>2</sub>の混合ガスを用いた化学的気相成長法を用いて成長することにより第1層の表面にSiおよびNを拡散させて第2層を形成するので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。

【0086】前記絶縁膜の窒化シリコンを少なくとも2層構造とし、とくに初段の窒化シリコン膜をSiH<sub>4</sub>、H<sub>2</sub>、NH<sub>3</sub>およびN<sub>2</sub>+CF<sub>4</sub>からなる混合ガスを用いた化学的気相成長法にて形成するので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。

【0087】請求項1記載の工程(3)の絶縁膜形成工程において、該絶縁膜をSiO<sub>2</sub>とし、拡散により純Al

IおよびAl合金のうちのいずれかからなる第1電極表面にSiおよびOを不純物として有する第2層を形成するので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。

【0088】請求項1記載の工程(5)の透明膜電極からなる第2電極形成工程において、該第2電極を、少なくともArガスのみによるスパッタリング法にて形成した第1層と、Ar+O<sub>2</sub>の混合ガスによるスパッタリング法にて形成した第2層とから形成し、かつ該第2電極の第1層と前記第1電極の第2層とで電氣的に接続するので、ITO/Alの低コンタクトを実現できる薄膜トランジスタをうる効果を奏する。

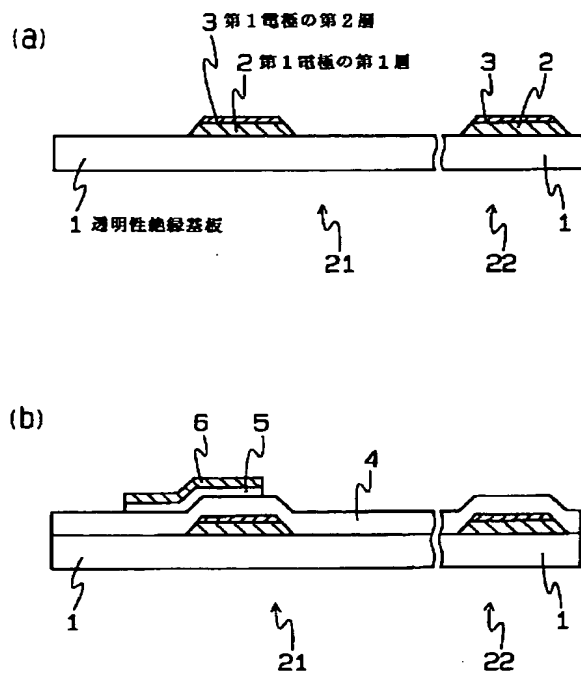
【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかわるTFT部および端子部の構造を示す断面説明図である。

【図2】 本発明の実施の形態1にかかわるTFT部および端子部の構造を示す断面説明図である。

【図3】 本発明の実施の形態1にかかわるTFT部お\*

【図1】



\*および端子部の構造を示す断面説明図である。

【図4】 本発明の実施の形態3にかかわるTFT部および端子部の構造を示す断面説明図である。

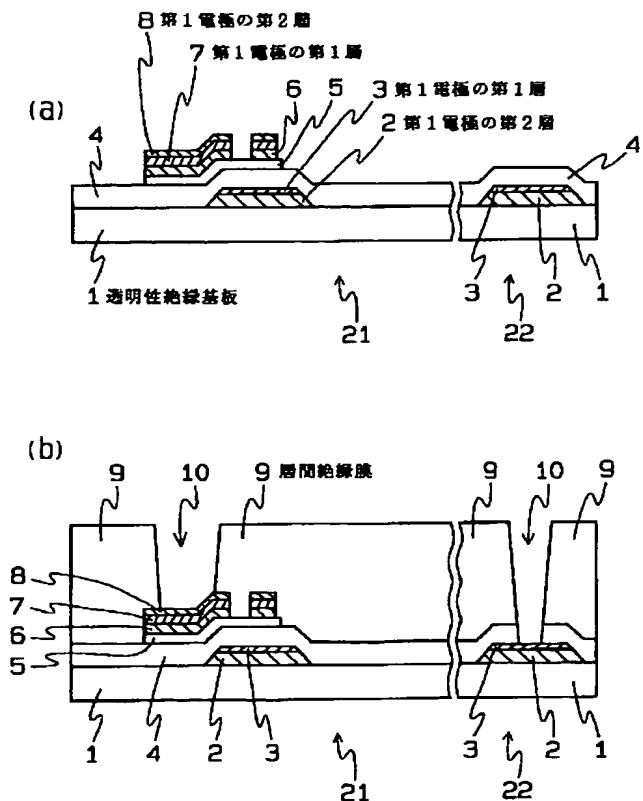
【図5】 本発明の実施の形態9にかかわるTFTの構造を示す断面説明図である。

【図6】 本発明の実施の形態11にかかわるTFTの構造を示す断面説明図である。

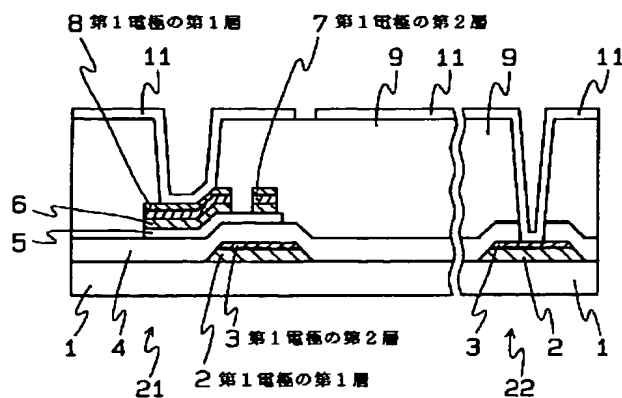
【符号の説明】

- 1 透明性絶縁基板、2、7 第1電極の第1層、3、8 第1電極の第2層、4 ゲート絶縁膜、5 半導体層a-si膜、6 半導体層n+a-Si膜、9 層間絶縁膜、10 コンタクトホール、11 画素電極、12 ゲート電極におけるコンタクト部の第2層、13 ソース/ドレイン電極におけるコンタクト部の第2層、14 ゲート絶縁膜の第1層、15 ゲート絶縁膜の第2層、16 層間絶縁膜の第1層、17 層間絶縁膜の第2層、18 画素電極の第1層、19 画素電極の第2層、42 第1電極。

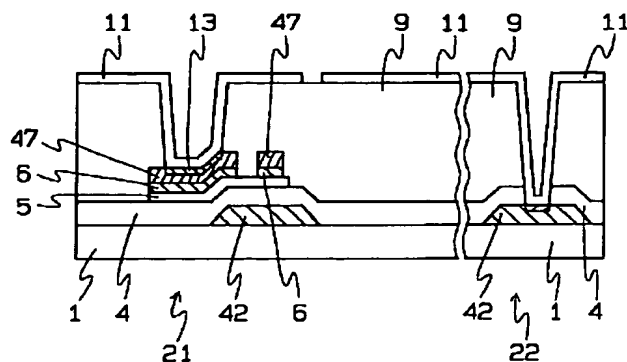
【図2】



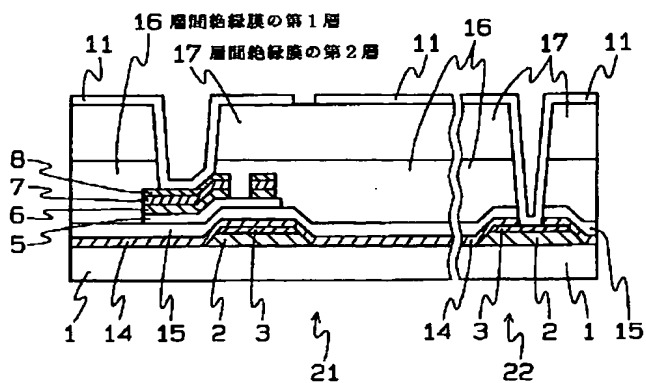
【図3】



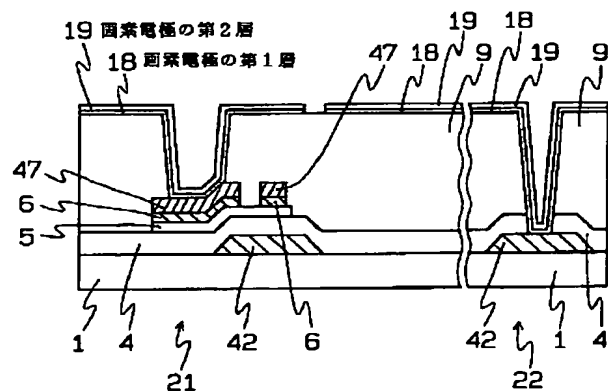
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 竹口 徹  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 中村 伸宏  
熊本県菊池郡西合志町御代志997番地 株  
式会社アドバンスト・ディスプレイ内  
(72)発明者 山田 勝  
熊本県菊池郡西合志町御代志997番地 株  
式会社アドバンスト・ディスプレイ内